

LAMINATED DUPLEXER

Patent Number: JP2002164710
Publication date: 2002-06-07
Inventor(s): TSUKAMOTO NAOKI
Applicant(s): KYOCERA CORP
Requested Patent: ☐ JP2002164710
Application Number: JP20000360137 20001127
Priority Number(s):
IPC Classification: H01P1/213; H01P1/203; H01P1/205
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a laminated duplexer constituted of at least two filters capable of achieving miniaturization and suppressing any insertion loss without allowing a transmission line and the filter to interfere with each other.

SOLUTION: A ground electrode 2 is formed on the main face of a laminate 1, and this laminated duplexer is constituted of a first filter 50 on which a plurality of first strip lines 3 whose one edge sides are connected to the ground electrode 2 are arranged and a second filter 60 on which a plurality of second strip lines 3 whose one edges are connected to the ground electrode 2 are arranged, and a matching circuit 7 for matching the first filter 50 and the second filter 60 is arranged in an area from the other edges of the first strip lines to the edge face of the laminate 1 faced to the edge parts of the first strip lines 3.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164710

(P2002-164710A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H 0 1 P	1/213	H 0 1 P	N 5 J 0 0 6
	1/203		
	1/205		B
			K

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2000-360137(P2000-360137)

(22) 出願日 平成12年11月27日 (2000.11.27)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町 6 番地

(72) 発明者 塚本 直樹

鹿児島県国分市山下町 1 番 1 号 京セラ株

式会社鹿児島国分工場内

Fターム(参考) 5J006 HA19 HA35 HB05 HB13 HB22

JA01 JA12 KA02 KA12 LA07

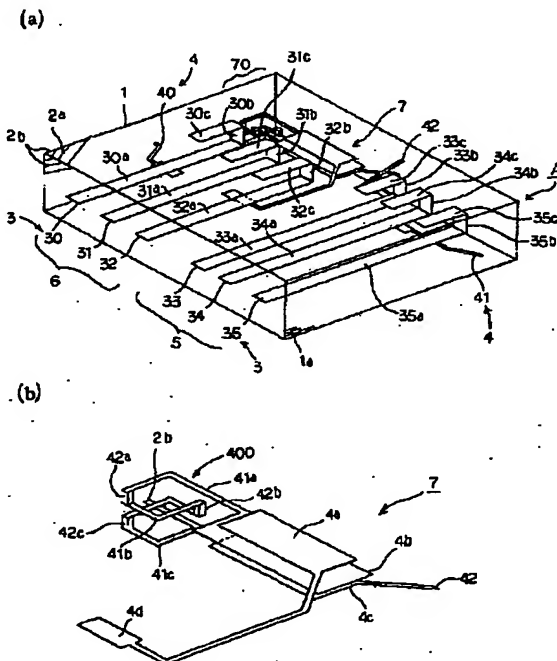
LA12 LA23 NA04 NO03 NF03

(54) 【発明の名称】 積層型デュプレクサ

(57) 【要約】

【課題】 2つ以上のフィルタを有するデュプレクサにおいて、伝送線路とそのフィルタとが互いに干渉しあうことなく、小型化を達成できるとともに、挿入損失を抑えることが可能な積層型デュプレクサを提供することを目的とする。

【解決手段】 積層体 1 の主面にアース電極 2 が形成され、一端側が前記アース電極 2 に接続する複数の第 1 ストリップライン 3 が併設された第 1 フィルタ 5 0 と、その一端がアース電極 2 に接続する複数の第 2 ストリップライン 3 が併設された第 2 フィルタ 6 0 とから成り、第 1 ストリップラインの他端から、その第 1 ストリップライン 3 の端部と対面する積層体 1 の端面までの領域に、第 1 フィルタ 5 0 と第 2 フィルタ 6 0 との整合をとる整合回路 7 を配設した構成である。



【特許請求の範囲】

【請求項1】 複数の誘電体層を積層した矩形状積層体の主面又は誘電体層間にアース電極を形成するとともに、前記積層体の同一層間で前記アース電極に対向し、かつその一端側が前記アース電極に接続する複数の第1ストリップラインが併設された第1フィルタと、前記第1ストリップラインが形成された積層体の同一層間にその一端が前記アース電極に接続する複数の第2ストリップラインが併設された第2フィルタとから成り、前記第2フィルタの通過帯域よりも第1フィルタの通過帯域が高い周波数帯に設定されている積層型デュプレクサにおいて、前記第1ストリップラインの他端から、その他端側と対向する前記積層体の側面までの前記積層体の領域に、前記第1フィルタと第2フィルタとの整合をとる整合回路を配設したことを特徴とする積層型デュプレクサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波通信機器に使用されるデュプレクサの整合回路に関するものである。

【0002】

【従来の技術】近年、移動体通信の発達により、電話機及びそれに用いられる電子部品の小型化が要求されている。デュプレクサにおいては同軸型で構成するのが一般的である。

【0003】このようなデュプレクサの主な構成としては送信及び受信の2つのフィルタと伝送線の位相特性を利用して両者のインピーダンスを最適化する整合回路とで構成され、例えば、特開平6-350306に開示されている。

【0004】このような整合回路に使用される伝送線路は特性インピーダンスを 50Ω に近くするために線路長を調整することにより送信側及び受信側のインピーダンスを整合させるものである。具体的には送信及び受信フィルタの位相特性が図3のスミスチャートに示す状態の場合、受信フィルタの除去域のインピーダンスをスミスチャート上で約 180° 回転させるようにして整合を得る。これは、送信及び受信フィルタのインピーダンス特性を相反する特性とすることでお互いの干渉を防止することを目的とする。

【0005】

【発明が解決しようとする課題】しかしながら、上記方法によると、整合回路としての伝送線路にある程度の長さを必要とするため伝送線路を蛇行させる必要がある。また、伝送線路とフィルタとが互いに結合・干渉しあうことがないようにフィルタ部材とは別に整合回路としてのブロックを改めて設ける必要が生じ、小型化を妨げることとなる。

【0006】また、このような形状からの問題のみなら

ず、伝送線路自体の損失により、フィルタ特性の挿入損失を増加させる傾向にある。

【0007】本発明は上述の課題に鑑みて案出されたものであり、2つ以上のフィルタを有するデュプレクサにおいて、伝送線路とそのフィルタとが互いに干渉しあうことなく、小型化を達成できるとともに、挿入損失を抑えることが可能な積層型デュプレクサを提供することを目的とする。

【0008】

【課題を解決するための手段】上記問題を解決するため本発明の積層型デュプレクサは、複数の誘電体層を積層した矩形状積層体の主面又は誘電体層間にアース電極を形成するとともに、前記積層体の同一層間で前記アース電極に対向し、かつその一端側が前記アース電極に接続する複数の第1ストリップラインが併設された第1フィルタと、前記第1ストリップラインが形成された積層体の同一層間にその一端が前記アース電極に接続する複数の第2ストリップラインが併設された第2フィルタとから成り、前記第2フィルタの通過帯域よりも第1フィルタの通過帯域が高い周波数帯に設定されている積層型デュプレクサにおいて、前記第1ストリップラインの他端から、その他端側と対向する前記積層体の側面までの前記積層体の領域に、前記第1フィルタと第2フィルタとの整合をとる整合回路を配設した構成とする。

【0009】本発明の構成によれば、積層型デュプレクサの第2フィルタの通過帯域よりも第1フィルタの通過帯域が高い周波数帯に設定されているために、第1ストリップラインの長さが第2ストリップラインの長さよりも短くなり、矩形状の積層体に第1、第2フィルタを並べて整列した場合、第1ストリップラインの他端領域から、その第1ストリップラインの端面と対面する積層体の端面までの領域が空き領域となり、この空き領域に整合回路を形成できるので、小型化が可能であるとともに、ストリップラインを蛇行させ積層することでストリップライン自身でLC整合が形成できるために、伝送線路で生じる結合による特性変化が極めて少ない信頼性の高いフィルタが実現できる。

【0010】また、本構成において整合回路はコンデンサを直列、インダクタを並列とする構成とすることにより、より小型、高性能で信頼性の高い整合回路が実現できる。具体的には、積層体に形成する整合回路にインダクタの一方がアース電極の一方に接続され、他方が2つのコンデンサが直列に接続された中央に接続して回路が構成されるT型、あるいは、同様に、インダクタの入出力側の双方に、一方がアース電極に接続されたコンデンサを並列に接続させる回路が構成された π 型の回路を形成することにより、第1フィルタの位相特性を変化させて第1、第2フィルタ位相特性を整合させることができる。

【0011】また、誘電体層の材料として高誘電率のも

のを用いると、整合回路のコンデンサ、インダクタの面積は小さくなり全体として小型化が可能となる。

【0012】さらに、整合回路としては、第1フィルタに対して直列に接続されたコンデンサ、第1フィルタに対して並列に接続されたインダクタとするのが簡単、かつ微調整が可能となるため好ましい。

【0013】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図1(a)は、本発明の実施の形態である整合回路を有した積層型デュプレクサAの斜視図である。また、図1(b)はその整合回路の拡大図を示す。図1(a)において、積層型デュプレクサAのうち、1は誘電体(積層体)、2はアース電極、3はストリップライン、4は内部配線端子、5は送信フィルタ、6は受信フィルタ、7は整合回路である。

【0014】積層体1は複数の矩形誘電体層1aが積層してなり、その材質としては誘電体セラミック材料と低温焼成化を可能とする酸化物や低融点ガラス材料とから構成されている。即ち、誘電体セラミック材料とは、例えば、 $\text{BaO}-\text{TiO}_2$ 系、 $\text{Ca}-\text{TiO}_2$ 系、 $\text{MgO}-\text{TiO}_2$ 系等があり、低温焼成化するための酸化物としては、 BiVO_4 、 CuO 、 Li_2O 、 B_2O_3 等がある。本発明では整合回路のコンデンサ、インダクタの面積を小さくするために高誘電率のものを採用され、例えば、比誘電率が15～25の材料が採用される。なお、誘電体層1aは、1層あたり50～300 μm 程度の厚みを有している。

【0015】アース電極2は矩形の積層体1表面及び裏面に形成されたアース電極2a、4側面に形成されたアース電極2bとからなる。アース電極2の材質としては、 Ag 、 Cu などを主成分(Ag 単体または $\text{Ag}-\text{Pd}$ 、 $\text{Ag}-\text{Pt}$ などの Ag 合金、 Cu 単体または Cu 合金)とする導体材料で形成されている。受信フィルタ6は同一の誘電体層1aに形成されたストリップライン3(30～32)を具備しており、ストリップライン30～32は夫々がアース電極2bと接続して1/4波長のストリップラインを形成している。同様に送信フィルタ5もストリップライン33～35は夫々がアース電極2bと接続して1/4波長のストリップラインを形成している。ストリップライン3の構成としては、例えば、一端がアース電極2bに短絡した主ストリップライン部30aと、ビアホール導体30bと、折り返し電極30cとからなる。ビアホール導体30bは主ストリップライン30aの他端と接続し、この主ストリップライン30aを形成した誘電体層1aとは異なる上部の誘電体層1aまで貫通し、かつ、その貫通孔に導体を充填している。折り返し電極30cはビアホール導体30bの端部(主ストリップライン30aと接続しない側)で主ストリップライン30側に折り返してなる。同様にストリップライン31～35も構成されているが説明は省略

する。

【0016】内部配線端子4はいちばん左端のストリップライン30(主ストリップライン部30a)に対面した受信端子40と、いちばん右端のストリップライン35(主ストリップライン部35a)に対面した送信側端子41とアンテナ端子42とからなる。その電極部は、 Ag 、 $\text{Ag}-\text{Pd}$ 、 Cu などを主成分とする導体材料により構成されている。

【0017】そして、図2に示す回路のように受信フィルタ6は、受信端子40と、それと主ストリップライン部30aで形成される容量成分C1、ストリップライン30～32、夫々で形成される容量成分C3、C4、後述する容量電極4dと主ストリップライン部32aで形成した容量成分C1が夫々接続されて構成されている。

【0018】整合回路7は、送信フィルタ5及び受信フィルタ6の通過帯域の内、通過帯域の周波数が高い受信フィルタ6側に設けられる。その位置としては受信フィルタ6のストリップライン30～32の他端から、そのストリップライン3の他端側と対向する積層体1の側面までの空き領域70に形成されている。ここで、ストリップライン3の他端側とは、例えばストリップライン30が折り返されているような場合は、折り返し点である主ストリップライン30aの他端側(主ストリップライン30aとビアホール導体30bが接続される位置)を示す。また、ストリップライン3が折り返すような構成でない場合、即ち、例えば主ストリップライン30aのみでストリップライン30を形成している場合は主ストリップライン30aの短絡端となる。

【0019】回路構成としては、図1(b)に示すように、その空き領域7の任意の誘電体層1a間に容量電極4bが形成されている。また、容量電極4bとは異なる誘電体層1aの層間に容量電極4bと対面し、かつ送信フィルタ5と受信フィルタ6とが共通となるアンテナ端子42に接続される容量電極4cが形成されている。また、一端はストリップライン32に複数の誘電体層1aを介して対面する容量電極4dと容量電極4bと複数の誘電体層1aを介して対面する容量電極4aとが内部配線42を介して接続されている。容量電極4dはストリップライン32に対面させたがこれに限定されず、他のストリップライン31に対面しても構わない。さらに、一端が容量電極4bに接続され、他端がアース電極2と接続している帯状のコイル部400が形成されている。この帯状コイル部400は屈曲電極41a～41c、ビアホール42a～42cにより構成されており、コイル部400は空き領域7の異なる誘電体層1aに向けて形成されている。

【0020】上記整合回路7は図2に示した如く、受信フィルタ6のアンテナ端子42に直列に接続される容量電極4c、4bで形成された容量成分C2、受信フィルタ6側のストリップライン32に対面する容量電極4d

で形成する容量成分C0、コイル部400で形成されたインダクタL1で構成されたT型回路となっている。本構成においては、受信フィルタ6のインピーダンス特性を、容量電極4dと主ストリップライン部32aで形成した容量成分Ciの位相特性により調整して整合をとっている。

【0021】図3に送受信フィルタのインピーダンス特性をスミスチャートに示す。図3の(a)は送信フィルタのインピーダンスを示し、(b)は受信フィルタのインピーダンスを示す。また、各図で中央線を境に上側半分が誘導成分、下側半分が容量成分を示している。

【0022】この図より、本発明のデュプレクサAに設けた送信フィルタ5及び受信フィルタ6の通過域▼と阻止域▽のインピーダンスが、図のような関係にある場合、このままでは不整合(ミスマッチ)により所望の挿入損失・減衰量が得られない。そこで、整合回路7のインダクタL1や容量C0、C2を調整することで受信フィルタ5のインピーダンスを点線の特性から実線の特性へインピーダンスを変換させて受信フィルタ5と送信フィルタ6との整合をとることができる。

【0023】以上のように送受信フィルタ5、6の位相特性を変換して整合することを、デュプレクサA内の容量成分C0、C2、インダクタL1を用いて行なっている。従って、インピーダンスを変換するには、一般的にコイル部400の配線のみを用いて誘導成分のみを変化させてやるよりも、容量成分C0、C2、インダクタL1を用いて容量成分の変化と誘導成分の変化の双方を一度に利用するほうが簡単に所望のインピーダンス特性に変換できて微調整が可能である。

【0024】また、第1の実施の形態によれば、電磁結合の影響およびコイル部400の配線による高周波の伝搬損失が極めて少なく、かつ積層体1の空き領域70に位置することでデュプレクサAの小型化が可能である。

【0025】次に第2の実施の形態を図4(a)(b)に示す。これは送信フィルタ6のアンテナ端子42に近いストリップライン32の折り返し電極32cを主ストリップライン部32aとは反対側に折り返し、容量電極42の平面部43と対面させたものである。

【0026】この構成により、折り返し電極32cと容量電極4bとで形成される容量成分C0'(図示せず)は図2の容量成分Ciと容量成分C0とを一度にとつて容量電極4dを省略することができ、整合回路7をより小型化可能としている。

【0027】また、以上のような構成は容量電極4a〜4cとコイル部400とでLCの整合回路を形成したが、これに限定されず、第3の実施の形態では単にコイル部400により整合回路7を形成してもよい。

【0028】次に第4の実施の形態を図5(a)(b)に示す。図4に加えて、受信フィルタ6のストリップライン30に形成した折り返し電極30cも主ストリップ

ライン部30aとは反対側に折り返している。また、容量電極4bもコイル部400の接続部位401を介して平面部43、44に分割して形成されている。さらに、折り返し電極30cと平面部44とを対面させて構成する。図6に等価回路を示すが、受信フィルタ6と整合回路7で図6におけるマルチパスの容量成分Cmが形成される。この容量成分Cmとストリップライン30間の電磁界結合により、図8に示す減衰極xを形成することができる。

【0029】即ち、図8には第1〜4の実施の形態における受信フィルタ5のフィルタ特性を示している。この条件として、材質がBaO-TiO₂系の誘電体セラミック材料に、BiVO₄の酸化物及びガラスで形成した誘電体層を積層した素子サイズが8×4×2mmの上記積層型デュプレクサAからなる。第1ストリップライン(主ストリップライン)の長さを7.5mm、第2ストリップラインの長さを9mmとして送受信フィルタの通過帯域における中心周波数が1.9GHzと2.06GHzのものを用いた。

【0030】図に示すように第1〜3の実施の形態については2つの減衰極y、zのみが形成されていて阻止域を形成しているが、第4の実施の形態では受信フィルタ6に対して容量成分Cmを付加することにより、さらにもう一つ減衰極xが形成されて減衰極の減衰量が十分確保することができる。

【0031】

【発明の効果】本発明の構成によれば、積層型デュプレクサの第2フィルタの通過帯域よりも第1フィルタの通過帯域を高い周波数帯に設定されているために、第1ストリップラインの長さが第2ストリップラインの長さよりも短くなり、矩形状の積層体に第1、第2フィルタを並べて整列した場合、第1ストリップラインの他端領域から、その第1ストリップラインの端面と対面する積層体の端面までの領域が空き領域となり、この空き領域に整合回路を形成できるので、小型化が可能であるとともに、ストリップラインを蛇行させ積層することでストリップライン自身でLC整合回路が形成できるために、伝送線路で生じる結合による特性変化が極めて少ない信頼性の高い積層型デュプレクサが提供できる。

【図面の簡単な説明】

【図1】(a)は第1の実施の形態を示す斜視図であり、(b)は整合回路の部分拡大図である。

【図2】本発明の受信フィルタと整合回路の等価回路図である。

【図3】(a)は送信フィルタのインピーダンス特性、(b)は受信フィルタのインピーダンス特性を示す図である。

【図4】(a)は第2の実施の形態を示す斜視図であり、(b)は整合回路の部分拡大図である。

【図5】(a)は第3の実施の形態を示す斜視図であ

り、(b)は整合回路の部分拡大図である。

【図6】第3の実施の形態の等価回路図である。

【図7】第4の実施の形態の特性を示す斜視図である。

【図8】本発明の受信フィルタにおけるフィルタ特性を示す図である。

【符号の説明】

1：誘電体

2：アース電極

3：ストリップライン

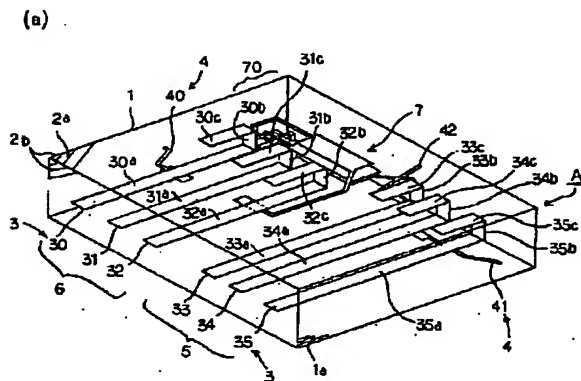
4：内部配線端子

5：送信フィルタ

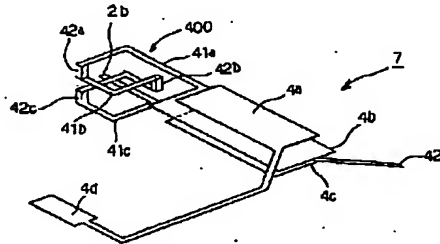
6：受信フィルタ

7：整合回路

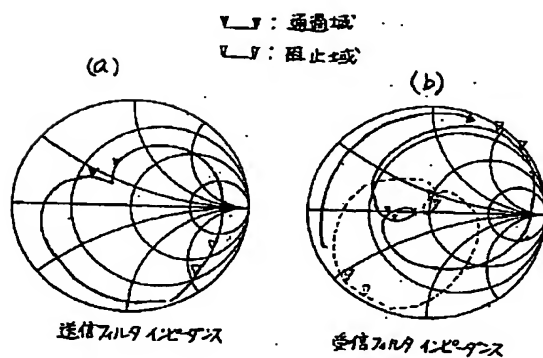
【図1】



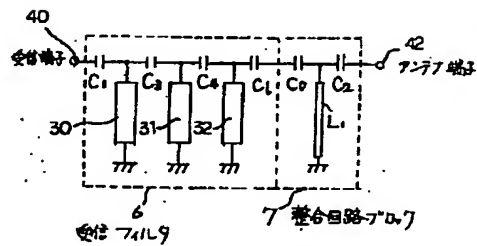
(b)



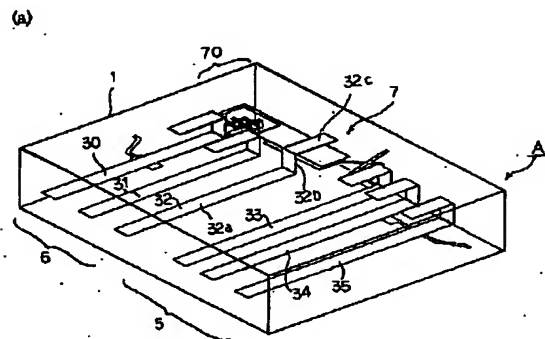
【図3】



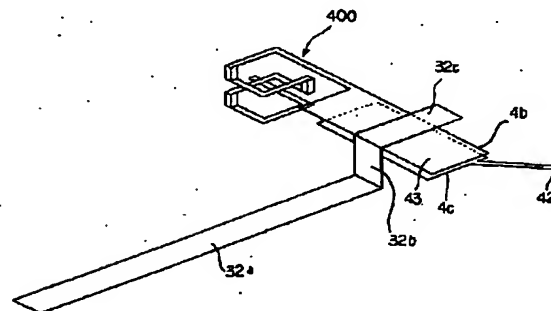
【図2】



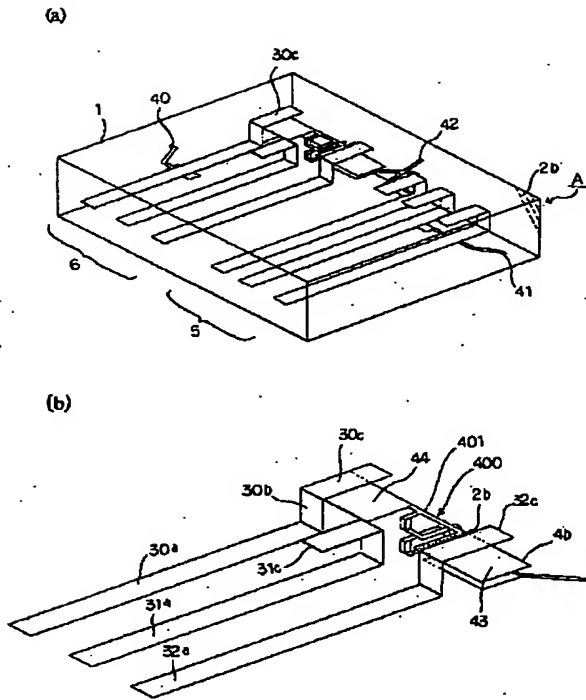
【図4】



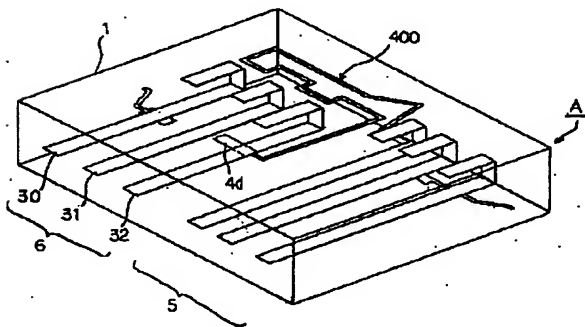
(b)



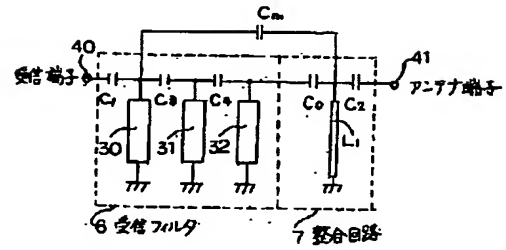
【図5】



【図7】



【図6】



【図8】

